

Aprendendo na Prática: Relato de Sequência de Atividades Práticas em Iniciação Científica Relacionadas à Arquitetura de Computadores

Ivan Saraiva Silva, Francisco Carlos Silva Junior, Tiago Patrocínio, Francisco das Chagas de Lima Alves

Departamento de Computação - DC
Universidade Federal do Piauí - UFPI
Teresina, Brasil

ivan@ufpi.edu.br, juninho.ufpi@hotmail.com, tiagodsp93@gmail.com, fcolimaalves@gmail.com

Abstract—A iniciação científica tornou-se, no Brasil, uma etapa praticamente incontornável na carreira acadêmica. Este fato deve-se, em parte, a disponibilidade de bolsas, garantidas por programa de fomento tais como o Programa Institucional de Bolsas de Iniciação Científica (PIBIC) e o Programa Institucional de Bolsas de Iniciação em Desenvolvimento Tecnológico e Inovação (PIBITI). Entretanto, o sucesso da iniciação científica também se deve a percepção de que as atividades, normalmente práticas, desenvolvidas pelos alunos, garantem solidez a formação acadêmica. Este artigo apresenta o relato de um conjunto de atividades práticas, executadas por alunos em iniciação científica. Com estas atividades os alunos puderam dominar o processo de descrição e prototipagem de arquiteturas, usando linguagens de descrição de hardware e placas de prototipagem. Também foi possível conduzir os alunos a comprovarem, na prática, o impacto provocado por componentes dedicados de hardware, bem como, o impacto da hierarquia de memória no desempenho.

Keywords—*Iniciação científica; Hierarquia de memória; microprocessadores; Blocos de hardware dedicados*

I. INTRODUÇÃO

Programas de fomento tais como o Programa Institucional de Bolsas de Iniciação Científica (PIBIC) e o Programa Institucional de Bolsas de Iniciação em Desenvolvimento Tecnológico e Inovação (PIBITI), têm aumentado gradativamente a oferta de bolsas para alunos de graduação nas mais diversas áreas do conhecimento. Isto, em parte, justifica o fato da iniciação científica (IC) ter, nos dias atuais, se tornado uma atividade corriqueira para tais alunos. Outra justificativa vem da percepção, por parte dos alunos, de que a possibilidade de ampliar conhecimentos sobre determinado tema de determinada subárea, contribui significativamente para uma formação de mais qualidade. Pode-se ainda dizer que a ampliação das oportunidades de publicação de trabalhos, mesmo que iniciais, incentivam a participação de alunos nestas atividades.

Do lado dos professores é possível dizer que a participação de alunos em atividades de iniciação científica auxilia na atração e seleção de bons candidatos a cursos de pós-

graduação. Também é verdade que este tipo de atividade auxilia na formação do aluno, ajudando-o a iniciar-se, tanto no processo de produção de resultados científicos, quanto na produção de artigos e relatórios técnicos.

Entretanto, a um aluno recém-chegado à iniciação científica, nem sempre é possível atribuir trabalhos que envolvam alguma contribuição. O mesmo é verdade quando se pensa em alunos de iniciação científica ajudando pós-graduandos. Nem sempre, dado o nível de maturidade acadêmica dos alunos de IC, esta ajuda é efetiva o suficiente para que seus resultados possam ser usados.

Via de regra, os trabalhos de IC iniciam com preocupações muito mais relacionadas à complementação da formação dos alunos, do que com a produção de resultados científicos. Neste sentido, as atividades de IC assemelham-se mais com atividades práticas avançadas de formação.

Este artigo apresenta e discute uma sequência de atividades práticas de iniciação científica, desenvolvidas ao longo de dois anos (dois períodos de bolsa PIBIC), relacionadas à arquitetura de computadores. Os alunos iniciaram as atividades logo após terem concluído a disciplina arquitetura de computadores, que no curso de Ciência da Computação, da Universidade Federal do Piauí, é ministrada no quarto período do curso.

Este artigo apresenta na seção 2 uma breve discussão de trabalhos relacionados. Na seção 3 apresenta as atividades práticas sugeridas e realizadas pelos alunos. Os resultados obtidos são apresentados na seção 4 e, por fim, conclusão e trabalhos futuros são apresentados na seção 5.

II. TRABALHOS RELACIONADOS

Com o melhor de nosso esforço, não foi possível encontrar artigos que abordassem diretamente atividades de iniciação científica na área de arquitetura de computadores. Entretanto, alguns artigos abordam, tanto a utilização de atividades práticas no ensino de engenharia e ciência da computação, quanto o desenvolvimento de atividades científicas relacionadas às que foram propostas.

Aos alunos de IC foram atribuídas atividades relativas ao desenvolvimento de microarquitetura, microprocessadores em particular, e hierarquia de memória.

Ferlin [1 - 3] aborda a realização de atividades práticas como ferramenta de ensino. Em [1] discute a própria relação entre teoria e prática no ensino de engenharia de computação. Em [2] apresenta o impacto do estudo de computação reconfigurável e o uso de dispositivos reconfiguráveis no curso de engenharia de computação. Em [3] Ferlin discute a integração existente entre os cursos da área de hardware no curso de engenharia de computação.

Mahmood [4] apresenta o projeto de uma controladora de cache e sua integração ao caminho de dados de um microprocessador MIPS pipeline. No projeto de Mahmood, tanto a memória principal quanto a memória cache foram implementadas usando blocos de memória do FPGA, o que compromete o realismo das execuções ou simulações, devido a velocidade de acesso a estas memórias ser significativamente maior que memórias externas reais.

Katke [5] and Singh [6] propuseram implementações para o caminho pipeline do microprocessador MIPS

Os artigos apresentados nesta seção não abordam atividades de iniciação científica, entretanto, comparam-se a sequência de atividades práticas propostas aos alunos de iniciação científica por seus objetivos, ou seja, uso da prática como método de aprofundamento de conceitos vistos na teoria.

III. SEQUÊNCIA DE ATIVIDADES PRÁTICAS

No Curso de Ciência da Computação da Universidade Federal do Piauí, o uso de dispositivos reconfiguráveis nas disciplinas de Circuitos Lógicos e Arquitetura de Computadores é uma prática corriqueira. Na disciplina de Arquitetura de Computadores os alunos geralmente implementam o caminho de dados de um microprocessador e o utilizam para programação *assembly*. Os bolsistas de iniciação científica ingressaram nesta atividade depois desta disciplina e já tinham alguma desenvoltura com: Linguagem VHDL e Descrição RTL (*Register Transfer Level*).

Deste modo, as atividades práticas planejadas para o período de iniciação científica visavam:

- Permitir a consolidação e aprofundamento dos conhecimentos teóricos e habilidades práticas desenvolvidas na disciplina;
- Permitir o domínio tecnológico no que diz respeito à prototipagem de arquiteturas e sistemas integrados com dispositivos reconfiguráveis;
- Iniciá-los no processo de produção de resultados científicos, artigos e relatórios técnicos;

Considerando estes objetivos as atividades descritas a seguir foram solicitadas aos alunos.

A. Desenvolvimento de um Microprocessador MIPS pipeline

Na disciplina de Arquitetura de Computadores a implementação de um microprocessador simples ou do

caminho de dados multiciclo do processador MIPS é atribuída como atividade prática aos alunos. Para a iniciação científica foi atribuída a implementação do microprocessador MIPS, em sua versão pipeline, incluindo todas as instruções de operação com inteiros.

Nesta implementação, os alunos deveriam ter especial atenção às unidades de *forwarding* e *hazard*. Os alunos também deveriam realizar simulações, utilizando o caminho de dados com pipeline e um caminho de dados multiciclo, para comprovar a aceleração oferecida pelo pipeline, bem como, explicar o porquê de não se atingir a aceleração máxima teórica.

Para a realização das simulações foram implementadas memória de dados e instruções usando blocos de memória do dispositivo reconfigurável. Sabidamente estas memórias têm comportamento ideal, não real, ou seja, as leituras e escritas são finalizadas (sempre com sucesso) em apenas um ciclo. Uma metodologia de desenvolvimento de aplicação, utilizando a linguagem C, o Cross-Compiler GNU e uma ferramenta de conversão do formato ELF (*Executable and Linkable Format*) [7] para MIF (*Memory Initialization File*) [8] também foi desenvolvida. Assim as aplicações puderam ser escritas com a linguagem C.

B. Desenvolvimento de Multiplicadores Rápidos para Dispositivos Reconfiguráveis

Com o intuito de conduzir os alunos, participantes no programa de IC, a considerarem a necessidade de otimizar seus projetos de caminhos de dados, com vista a obtenção de maior desempenho, foi solicitado que estes realizassem um estudo sobre implementação de operadores aritméticos dedicados, para implantação em dispositivos reconfiguráveis..

O estudo iniciou com a observação que o operador de multiplicação, sintetizado com recursos da linguagem VHDL, o pacote *NUMERIC_STD* do IEEE e ferramentas de síntese para dispositivos reconfiguráveis, resulta, via de regra, em uma implementação de baixo desempenho.

Aos alunos foi então solicitada a implementação de um bloco multiplicador dedicado, em pipeline, a ser integrado ao caminho de dados MIPS pipeline. Os alunos deveriam fazer uma exploração do espaço de projeto. Deveriam também realizar simulações utilizando o caminho de dados anteriormente desenvolvido e o caminho de dados com o multiplicador dedicado em pipeline. A partir das simulações deveriam tirar conclusões e preparar um artigo a ser submetido.

C. Desenvolvimento de Hierarquia de Memória

Ainda considerando a necessidade de se obter bom desempenho, foi solicitado aos alunos a implementação de uma hierarquia de memória com exploração do espaço de projeto. A necessidade da tarefa foi explicada devido à implementação de memórias (instruções e dados) acessíveis em um ciclo apenas (utilizando blocos de memória do dispositivo reconfigurável).

A hierarquia deveria considerar a existência de dois níveis (cache e memória principal) e a memória principal deveria ser real (memória da placa de prototipagem).

Com estas definições os alunos implementaram e geraram um protótipo (usando a placa DE2-115 [9]) de um microprocessador MIPS pipeline com memória cache, com mapeamento direto e associativo por conjunto (quatro vias). Implementaram a política de substituição LRU (*Least recently Used*) e a política de escrita *Write-Back*.

IV. RESULTADOS OBTIDOS

Os trabalhos de iniciação científica foram conduzidos por três alunos ao longo de dois anos de participação (duas vigências de bolsa) nos programas PIBIC ou PIBITI. Os resultados obtidos são descritos a seguir.

A. Caminho de Dados MIPS Pipeline

Os resultados da implementação do caminho de dados do microprocessador MIPS pipeline foram publicados em [10]. Neste trabalho foi possível comprovar por simulação que o uso do pipeline acelerou a aplicação simulada em cerca de 3 vezes. Os alunos chegaram a conclusão de que a aceleração observada não foi idêntica a aceleração máxima teórica por dois motivos. O primeiro diz respeito à implementação da versão multiciclo. Nesta versão, implementada como apresentado em [11], a maioria das instruções é executada em menos que 5 ciclos (latência do pipeline). O segundo motivo é a necessidade de inserção de bolhas durante a execução em pipeline, para a resolução de alguns conflitos. Percebeu-se que aproximadamente 10% do tempo de execução corresponde a bolhas.

O caminho de dados desenvolvido, incluindo todas as instruções inteiras da ISA (*Instruction Set Architecture*) MIPS, pode ser visto na Figura 1.

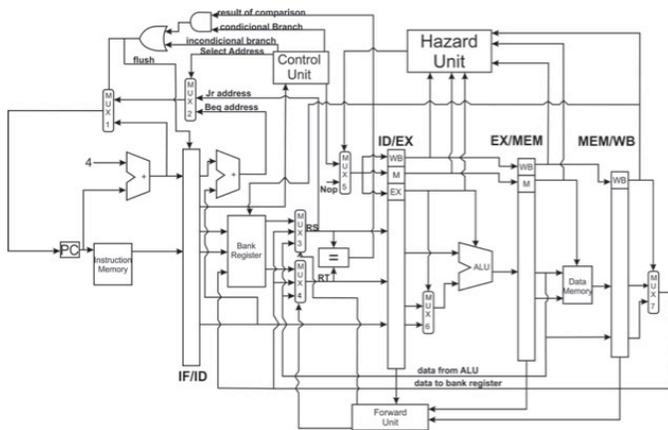


Fig. 1. Caminho de dados do microprocessador MIPS pipeline

Também foram feitas comparações do espaço ocupado no dispositivo reconfigurável pelas duas versões do caminho de dados MIPS multiciclo e MIPS pipeline.

B. Multiplicador Dedicado em Pipeline

Com a implementação e uso (simulação) do caminho de dados pipeline, foi possível comprovar que o multiplicador sintetizado é um dos principais módulos a contribuir para a redução da frequência máxima de operação, suportada pelo microprocessador.

Os alunos realizarão então um estudo de exploração do espaço de projeto para implementação de multiplicadores para dispositivos reconfiguráveis. Após a avaliação do estado-da-arte, o estudo se concentrou em: (i) Estrutura em árvore de Wallace; (ii) Utilização dos algoritmos de Booth com Radix-4 e Radix-16; e (iii) variação da arquitetura do somador utilizado no último estágio da árvore de Wallace. Os resultados do trabalho foram publicados em [12]. O artigo [13] também foi escrito, embora este último não tenha ainda sido submetido à publicação. Uma visão esquemática do multiplicador integrado ao caminho de dados pode ser vista na Figura 2. Três blocos principais compõem o multiplicador: Um codificador que usa o algoritmo de Booth, utilizado para geração dos resultados parciais; Uma árvore de Wallace, utilizada para reduzir o número de resultados parciais, a dois resultados parciais e; Um somador, que soma os dois resultados parciais gerados pela árvore de Wallace e gera o resultado da multiplicação. O multiplicador em pipeline foi implementado em 6 estágios, sendo dois no codificador de Booth, três na árvore de Wallace e um no somador final.

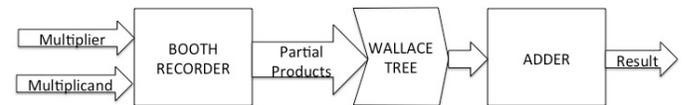


Fig. 2. Arquitetura do multiplicador em pipeline

C. Hierarquia de Memória para Microprocessador MIPS em Placa de Prototipagem

Os conceitos de hierarquia de memória, localidade, política de substituição e política de escrita, são, de certo modo, facilmente explicáveis a alunos de graduação. Entretanto, a vivência destes conceitos na prática, permite que o aluno adquira maior segurança ao abordar o tema, quer seja em conversas informais, provas, relatórios técnicos científicos ou artigos. Este tem sido um fato comprovado na prática didática.

Nesta terceira fase do trabalho dos bolsistas de iniciação científica, o desafio era gerar um protótipo de um microprocessador MIPS com hierarquia de memória real. Para este trabalho foi utilizada a placa de desenvolvimento DE2-115. Esta placa de desenvolvimento é dotada de um dispositivo reconfigurável do tipo FPGA (*Field Programmable Gate Array*), da família Cyclone IV da Altera [14].

Além do FPGA a placa possui uma memória SDRAM que pode ser integrada ao protótipo. O uso da memória SDRAM como memória principal permitiria aos alunos a obtenção de informações reais de desempenho associado ao uso de uma hierarquia de memória de dois níveis.

O primeiro passo para a implantação do protótipo foi a implementação de uma controladora SDRAM. A controladora SDRAM foi implementada com base na proposta apresentada em [15].

O protótipo é constituído de um microprocessador MIPS pipeline, uma memória de instruções (16K palavras ou 64K Bytes), uma memória de dados (128M bytes) e uma memória cache associativa por conjunto, com oito conjuntos. Cada conjunto é constituído por quatro blocos, com blocos de 32 palavras (4 bytes), política de substituição LRU e política de

escrita *write-back*. A memória cache foi implantada utilizando blocos de memória do FPGA. Não foi gerado um protótipo com a memória cache com mapeamento direto. Entretanto, esta memória cache foi implementada e a geração do protótipo requer apenas a instanciação da entidade topo VHDL com esta implementação.

Para a validação do protótipo foram desenvolvidas duas aplicações. A primeira foi a tradicional multiplicação de matrizes e a segunda foi um filtro laplaciano. As aplicações foram implementadas utilizando a linguagem C e o GNU Cross-Compiler. A ferramenta de conversão de ELF para MIF não pode, entretanto, ser usada, uma vez que a memória SDRAM não é inicializada com o arquivo MIF em tempo de carga do *stream* de bits com a configuração do protótipo no FPGA. Deste modo, a aplicação foi desenvolvida de modo a gerar e escrever os dados na memória de dados. Assim as aplicações trataram de um conjunto limitado de dados. A multiplicação de matrizes multiplicou duas matrizes 20 x 20 e o filtro laplaciano foi aplicado sobre uma imagem 10 x 10. Estas aplicações foram executadas em duas versões do protótipo, uma com cache e outra sem cache, ambas usando a SDRAM da placa como memória de dados.

Com estas execuções os bolsistas puderam comprovar a aceleração oferecida pela hierarquia de memória. A Tabela I apresenta os resultados da execução, em ciclos, para as duas aplicações e mostra a aceleração obtida com a versão com cache em relação à versão sem cache.

TABELA I. DESEMPENHO DA HIERARQUIA DE MEMÓRIA

Protótipo	Aplicação	Ciclos p/ Execução	Aceleração
C/ Cache	Mul. Matrizes	10.078.278	3,89
	Laplaciano	17.499	2,89
S/ Cache	Mul. Matrizes	4.200.089	1
	Laplaciano	50.690	1

Dado o tamanho da cache e o volume dos dados tratados nas duas aplicações a taxa de HIT (buscas com acerto na cache) ficou em torno de 99% para ambas as aplicações. Na aplicação de multiplicação de matrizes ocorreram oito trocas de bloco com escrita na memória principal (*write-back*). Na aplicação de filtro laplaciano não houve trocas com escrita na memória principal.

V. CONCLUSÕES E TRABALHOS FUTUROS

Este artigo apresentou uma sequência de atividades práticas propostas para um grupo de alunos em iniciação científica ou tecnológica. Durante o período de iniciação científica os alunos puderam implementar um processador MIPS pipeline com todas as instruções inteiras de sua ISA e, considerando a necessidade de melhorar o desempenho deste

microprocessador, puderam implementar um bloco multiplicador dedicado em pipeline e uma hierarquia de memória de dois níveis. Resultados foram obtidos por simulação e execução em protótipo utilizando placa de desenvolvimento datada de dispositivo reconfigurável.

Trabalhos em andamento que devem produzir resultados em breve são o desenvolvimento de uma memória cache com teste de erro de escrita por NBIT (*Negative-bias Temperature Instability*) ou PBTI (*Positive-bias Temperature Instability*) e a implementação de uma hierarquia de memória para multicore com manutenção da coerência da memória.

Por fim, pode-se dizer que é notável (não mensurável) o ânimo dos alunos para trabalhos científicos relacionados ao tema de IC depois de dominarem na prática os temas vistos na teoria.

REFERÊNCIAS

- [1] Ferlin, E.P.; Pilla, V.; Filho, N.C.S., "The theory-practice partnership," *Information Technology Based Higher Education and Training, 2005. ITHET 2005. 6th International Conference on*, vol., no., pp.F2A/1,F2A/6, 9-9 July 2005
- [2] Ferlin, E.P.; Junior, V.P., "The Learning of Reconfigurable Computing in the Computer Engineering Program," *Frontiers in Education Conference, 36th Annual*, vol., no., pp.16,20, 27-31 Oct. 2006
- [3] Ferlin, E.P.; Goncalves, M.M.; Junior, V.P., "Work in progress - the integration of hardware area courses in the Computer Engineering Program at UnicenP," *Frontiers in Education, 2005. FIE '05. Proceedings 35th Annual Conference*, vol., no., pp.T2G,21, 19-22 Oct. 2005.
- [4] Mahmood, H.; Omran, S., "Pipelined mips processor with cache controller using vhdl implementation for educational purposes," In *Electrical, Communication, Computer, Power, and Control Engineering (ICECCPCE), 2013 International Conference on*, pages 82–87.
- [5] Katke, S. P.; Jain, G. P. J., "Design and implementation of 5 stages pipelined architecture in 32 bit risc processor," *International Journal of Emerging Technology and Advanced Engineering*, vol. 2, Issue. 4, pp.340–346. April 2012.
- [6] Singh, K. P.; Parmar, "Vhdl implementation of a mips-32 pipeline processor", *International Journal of Applied Engineering Research*, vol. 7, no. 11, pp.1952–1956.
- [7] System V Application Binary Interface Edition 4.1. Available on <http://www.sco.com/developers/devspecs/gabi41.pdf>.
- [8] Altera, "Memory Initialization File", Available on http://quartushelp.altera.com/13.0/mergedProjects/reference/glossary/def_mif.htm.
- [9] Terasic, "Altera DE2-115 Development and Educational Board,". Available on <http://www.terasic.com.tw/cgi-bin/page/archive.pl?Language=English&No=502>.
- [10] Silva, F. C. J.; Silva, I. S., "Designing Complete Pipelined Datapath to MIPS ISA: Learning in Praticce," *Sforum 2014*, 1-5 Spt. 2014.
- [11] Patterson, D. A.; and Henessy J. L., *Computer organization and design the hardware/software interface*, Morgan Kaufmann, Oxford, USA, 5th edition, 2014.
- [12] Patrocínio, T.; Silva, I. S., "Implementations and Comparisons of High-Speed Multipliers for Reconfigurable Devices. *Sforum 2015*, Aug 31-Sept. 4 2015.
- [13] Silva, F. C. J.; Silva, I. S., "Integration of a Pipelined Multiplier on a Pipelined MIPS Datapath: Learning in Praticce. *Umpublisshd*.
- [14] Altera, "Ciclone IV Device Handbook". Available on <https://www.altera.com/products/highResolutionDisplay.html>.
- [15] Siqueira, H. M.; Silva, I. S.; Kreutz, M. E.; Correa, E. F., "DDR SDRAM Memory Controller for Digital TV Decoders," *Brazilian Symposium on Computing System Engineering* pp. 78-82, 2011.