

# A Teaching Methodology Based On The ALU 8bit RISC Design VLSI Full Custom for Classes on Computer Architecture and Digital Electronic

Alexandre M. De Oliveira<sup>a</sup>, Jorge R. B. Garay<sup>a</sup>, A.C. Lins Rodrigues<sup>b</sup>, João F. Justo<sup>a</sup>, e Sergio T. Kofuji<sup>a</sup>.

University of São Paulo, São Paulo, SP, Brazil.

<sup>a</sup>Departamento de Engenharia de Sistemas Eletrônicos da EPUSP.

<sup>b</sup>Faculdade de Educação da USP.

e-mail: {amanicoba, jorge, kofuji}@pad.lsi.usp.br; cesarlrodrigues@usp.br; jjusto@lme.usp.br

**Resumo**— Este trabalho apresenta uma metodologia de ensino de projeto e simulação de circuitos digitais com foco em uma Unidade Lógico Aritmética – ULA, de 8bits, com a tecnologia de processo de fabricação IBM 7WL SiGe BiCMOS 180nm Very-large-scale integration-VLSI *Full-Custom* utilizando como ambiente de desenvolvimento Spice a ferramenta, de licença GNU, LTSpice 4. A ULA foi concebida para realizar operações aritméticas de soma, subtração e comparação de maior, menor e de igualdade, bem como realizar operações lógicas AND e OR na forma bit-a-bit. Os resultados de simulações evidenciaram o funcionamento da arquitetura proposta, com atraso máximo de resposta da ordem de ns. A metodologia foi experimentada, com êxito em disciplinas como Arquitetura de Computadores e Organização de Computadores para o curso de Ciências da Computação, Circuitos Digitais, Microprocessadores e Microcontroladores II e Eletrônica Digital e Ao Projeto VLSI II para o curso de Engenharia Elétrica, onde foi evidenciada uma rica experiência dos alunos no que tange o contato com o estudo e desenvolvimento deste elemento central (ULA) a arquitetura de computadores.

**Palavras-chave:** *Interstícios-pedagógicos. Unidade Lógico-Aritmética. VLSI. Circuito integrado. Ensino-aprendizagem.*

## I. INTRODUÇÃO

Arquitetura de computadores é a disciplina central da matriz curricular dos cursos de ciências da computação e engenharia da computação [1]. Já a ULA pode ser considerada o coração da arquitetura computacional dos microprocessadores, uma vez que nela as operações são realizadas bit-a-bit e seu desempenho influencia diretamente no andamento do sistema como um todo, sobretudo no que concerne à unidade aritmética. Admite-se, desta forma, que a pesquisa suscite possibilidades de engendramento de novas ferramentas pedagógicas dentro das especificidades da área, contribuindo para o desenvolvimento educacional dos cursos de Ciências da Computação e Engenharia da Computação [2-8], mesmo sendo incipiente dentro do legado didático dos cursos de Ciências da Computação e Engenharia da Computação.

Assim como mencionado por Linn [9], Platão, filósofo e estudioso ateniense já dizia “a necessidade... é a mãe das invenções”. Esta máxima ateniense representa a ideia central da metodologia proposta neste trabalho, uma vez

que um dos autores percebeu a dificuldade dos alunos na elaboração de mapas mentais do funcionamento interno de um processador, apenas com os diagramas propostos por Patterson [6], desta forma o desenvolvimento da disciplina ficou muito restrito ao estudo das arquiteturas existentes, sem que os alunos apresentassem habilidade para propor melhorias ou até novas arquiteturas computacionais.

Não obstante ao fato das disciplinas dos cursos de Ciência da Computação e Engenharia Elétrica estarem em imanência com as questões da contemporaneidade, há muito se percebe estabelecida uma dicotomia entre as abordagens tradicionais de ensino [10] – entendendo-as como aquelas que atribuem ao sujeito um papel insignificante na elaboração e aquisição do conhecimento cabendo ao mesmo a memorização de enunciados, definições, leis, resumos e sínteses oferecidos a partir de um esquema atomístico – que povoam o ideário docente dos professores dessa área e as representações pós-modernas que permeiam toda *tecnologia identitária* relativa à prática utilitária dos computadores.

Admite-se que não se possa criar uma cisão entre a cultura com toda a sua centralidade – levando em consideração a enorme expansão de tudo que está associado a ela (a cultura) e o seu papel constitutivo, hoje, em todos os aspectos da vida social [11] – e quaisquer configurações de existência em sociedade, as quais também são comportadas, segundo o entendimento que por ora se sugere, todas as formas de ensinar e aprender.

Outrossim, na busca por um pensamento fundante ao por ora proposto em nível de procedimento didático, utiliza-se os escritos de Paulo Freire [12] quando diz que “ninguém educa ninguém, ninguém se educa a si mesmo, os homens se educam entre si, mediatizados pelo mundo”, para dar sentido ao desejo de apreensão de novas formas de aquisição de conhecimentos dentro da área tecnológica. Ou seja, essa mediação que o mundo exerce sobre as questões educacionais ganha uma proporção mais abrangente, quando se pensa nas infinitas conexões possíveis e passíveis de serem estabelecidas no *Cyberword*, sendo utilizadas e facilitadas por alunas e alunos de ambos os cursos, no sentido de cumprirem o seu papel social, na luta pela ruptura dos sem número de paradigmas excludentes hierarquizantes inerentes às ciências exatas.

Tais formas de interpretação fomentaram a necessidade de estimular os estudantes desses cursos ao

desenvolvimento de suas criatividade, utilizando, para tanto, a ideia de libertarem sua parte lúdica, de forma a proporcionar-lhes a habilidade de representar imagens mentais do fluxo das informações no interior de qualquer microprocessador. Ressalta-se ter sido esse o caminho encontrado para a elaboração da presente metodologia, que consiste em desenvolver uma ULA de 8bits, já que a mesma representa o módulo mais importante do microprocessador.

Para realizar um caminho de estudo e compreensão do funcionamento lúdico de uma ULA, iniciou-se os estudos ladeando os esforços de Güntzel [13], onde afirma que toda a operação aritmética realizada na ULA pode ser baseada na operação de adição, desta forma, propõe-se uma metodologia de ensino com base nas interações entre alunos e professor, lado a lado, através do projeto e estudo de uma ULA dotada de uma unidade aritmética formada pela combinação de oito blocos somadores completos (*full adder*) interligados através da via de sinal vai-um (*carry*), sendo capaz de realizar operações de soma e subtração de números binários de até 8bits [14].

Os operandos da ULA proposta são inseridos por duas entradas e uma saída, todas de 8bits, além de entradas de sinais de controle para a ULA para escolher a operação que deverá ser realizada, bem como sinais de saída que indicam o estado final da operação realizada [2].

Para estimular nos alunos o surgimento da capacidade de abstração de soluções lógicas foi utilizada a técnica didática de projeto de rede lógica de transistores (*CMOS networks*), consagrada nos trabalhos pedagógicos de Radhakrishnan [15, 16], Radhakrishnan, Whitaker e Maki [17], e Kudva et al [18]. Segundo o professor Abraham, da Universidade do Texas [19], a técnica, educacional e extremamente lúdica, consiste em desenvolver um circuito digital CMOS otimizado a partir de sua expressão lógica, no qual inicialmente se desenvolve a rede negativa (*N-network*) com transistores NMOS direto da própria expressão, logo após se desenvolve a rede positiva (*P-network*) com transistores PMOS, utilizando-se a negação da expressão e por fim combinam-se as duas redes de forma a garantir o adequado funcionamento do circuito.

Esta técnica permite que o aluno, ou a aluna, visualize de forma atomística o funcionamento de cada parte do circuito digital agora não mais como mero espectador, ou espectadora, de tecnologias de prateleiras, mas sim como autores, partícipes e geradores de conhecimento, o que não acontece pelo uso de outras práticas pedagógicas tradicionais comumente utilizadas, que em sua esmagadora maioria, utiliza-se de circuitos integrados proprietários do tipo FPGA e seus similares, *iconizados* como autênticas caixas pretas, ou até mesmo o uso de circuitos integrados em kits de eletrônica digital, que trazem um cem numero de experimentos repetitivos e exauridos por gerações passadas.

Após a elaboração pelos alunos e professor, em um ambiente colaborativo de projeto e desenvolvimento do circuito lógico, o circuito esquemático da ULA é implementado a partir da tecnologia VLSI Full Custom em processo de fabricação de circuitos integrados IBM Semiconductor IBM 7WL SiGe BiCMOS (*Bipolar-Complementary Metal-Oxide-Semiconductor*) 180nm

*Process* no programa de simulação com ênfase em circuitos integrados (*Simulated Program with Integrated Circuits Emphasis – SPICE*) LTSpice versão 4.19i totalmente gratuito, o que permite aos alunos manterem uma cópia do programa em seu domínio, garantindo assim que o desenvolvimento acontece-se também fora dos limites físico-temporais da sala de aula.

Em resumo o processador, cujo coração é a ULA, é um dos principais componentes na maioria das arquiteturas computacionais [6].

O trabalho esta organizado como segue: na Seção II, a metodologia de desenvolvimento e o projeto da ULA são apresentados, bem como os resultados das simulações Spice que atestam o funcionamento da proposta e na Seção III são apresentadas as discussões finais deste trabalho na forma de conclusões.

## II. METODOLOGIA E PROJETO DA ULA

Como o objetivo deste trabalho é apresentar uma metodologia de auxílio ao estudo e o desenvolvimento de uma ULA de 8bits, para fins educacionais, a mesma foi realizada com base em uma revisão bibliográfica.

Como meio para o aprendizado e exercício lúdico dos alunos, espera-se que o resultado do projeto seja o desenvolvimento de uma unidade lógico-aritmética capaz de operar com palavras de 8bits, e possua um reduzido conjunto de instruções básicas. Seu desenvolvimento se deu através de projeto e simulação em tecnologia CMOS 0.18 $\mu$ m usando a técnica de projeto *full-custom* VLSI tendo como especificações do projeto as seguintes características:

- i. Entradas de operandos A e B, bem como saída de resultados S, todas de 8bits.
- ii. Operações realizadas na forma **A operação B = S**.
- iii. Operações aritméticas possíveis: soma, subtração, comparações de maior, menor e igual.
- iv. Operações lógicas possíveis: lógica E e lógica OU.
- v. Seleção: uma palavra de 3 bits é utilizada para configurar o modo de operação da ULA.

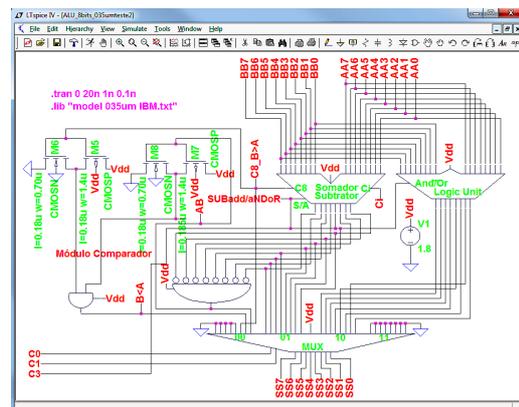


Figura 1 - Diagrama elétrico da ULA de 8bits proposta, contendo os módulos somador/subtrator, unidade lógica, multiplexador, barramentos e circuito comparador.

A organização das operações da ULA são divididas em circuitos modulares, sendo eles: unidade somador/subtrator (USS) e módulo comparador (MC), formando a unidade aritmética (UA), unidade lógica (UL) e multiplexador de quatro entradas e uma saída.

A Fig. 1 apresenta a tela do LTSpice com o diagrama de ligações elétricas onde são apresentados os blocos lógicos: multiplexador de 4 canais para 1 canal, unidade lógica, barramentos de dados, sinais de controle, unidade somador/subtrator e módulo comparador, cujo circuito expandido mostra sua topologia formada por dez inversores, uma porta *AND* de duas entradas e uma porta *AND* de oito entradas.

A seguir é apresentado o estudo detalhado de cada módulo que compõe a ULA proposta, sendo o primeiro a ser apresentado a unidade somadora/subtratora, visto sua relevância no que diz respeito ao cerne das funções aritméticas.

#### A. Módulo Unidade Somadora/Subtratora

Sendo o módulo somador a base para o projeto da unidade de soma e subtração (USS), o mesmo foi adaptado do somador de um bit completo descrito por Fregni e Saraiva [3] e Tocci, Widmer e Moss [4]. O somador de um bit completo realiza adição em única coluna binária da cadeia de bits como ilustra a Fig. 3.

Para realizar a operação de adição, somar-se os bits menos significativos (LSBs) do primeiro e segundo operando. Sendo assim,  $1+1=10$ , ou seja, da soma dos dois bits menos significativos resulta um bit menos significativo igual a 0 e um bit vai-um (*carry out*) igual a 1, este bit é recebido na próxima coluna como vem-um que chega (*carry in*) e é somado aos bits da segunda coluna. Assim:  $1+1+0=10$ . Ou seja, a soma de  $C_i$  com os dois bits resulta em zero e um bit  $Co$  igual a 1, e assim até a soma dos bits mais significativos (MSBs).

As colunas da soma binária, representando cada qual um módulo somador de 1bit completo, são inter-relacionadas pelo bit vai-um (*carry out*) que se propaga entre elas, em que o bit vai-um que tem origem na coluna anterior é o  $C_i$  (*carry in*) que é somado com os operandos  $A$  e  $B$  da posição  $i$ . Já o bit vai-um que tem como destino a próxima coluna é o  $Co$  (*carry out*). As expressões para  $S_i$  e  $Co$  são vistas nas equações 1 e 2:

$$S_i = (A_i \oplus B_i) \oplus C_i \quad (1)$$

$$C_o = A_i B_i + C_i (A_i \oplus B_i) \quad (2)$$

Para realizar uma operação de subtração entre os operandos a partir do somador, realiza-se o complemento bit-a-bit do subtraendo e realiza-se a soma com o minuendo, com  $Co=1$ , isto é,  $B0=0$ , uma vez que neste caso o sinalizador vai-um se torna empresta-um [3]. Para implementar o controle entre as operações de subtração e adição, foi inserido o sinal de modo de operação ( $M$ ) como mostra a equação 3:

$$C_o = (M_i \oplus B_i) \cdot (C_i + A_i) + (C_i \cdot A_i) \quad (3)$$

A tabela 1 ilustra a forma de controle da USS a partir do sinal de controle na porta M. Nele configuramos a unidade para realizar soma ou subtração.

TABLE I. BIT DE SELEÇÃO DE OPERAÇÃO DA USS.

Código (M)	Operação
0	Soma
1	Subtração

O módulo USS paralela é um somador/subtrator

simples e econômico, entretanto apresenta um atraso em sua execução. Esse tipo de arranjo é chamado somador/subtrator de propagação do vai-um (*ripple carry adder/subtractor*), sendo desenvolvido através da simples associação em cascata de USS de 1bit, como se observa na Fig. 2. O atraso apresentado durante a operação desta unidade de soma e subtração é equivalente à soma dos atrasos da saída vai-um (*carry out*) das USS de 1bit. Neste caso, a USS de 8bits proposta apresenta um atraso de aproximadamente 96 camadas de transistores entre a transição do bit vai-um  $C_0$  ao  $C_8$ , o que equivale ao tempo de propagação de 0.9ns por operação.

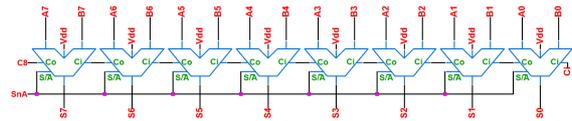


Figura 2 - Somador/Subtrator de 8 bits com propagação do vai-um.

#### B. Módulo comparador

O módulo comparador ou comparador de magnitude (MC), é um circuito lógico combinacional que realiza a comparação de duas palavras binárias e gera uma saída ( $S$ ), codificada, que indica qual operando ( $A$  e  $B$ ) tem maior magnitude [4].

O MC opera em conjunto com a USS configurada para realizar operações de subtração. Ao ser realizada a operação de subtração entre os operandos  $A$  ( $A_7A_6A_5A_4A_3A_2A_1A_0$ ) e  $B$  ( $B_7B_6B_5B_4B_3B_2B_1B_0$ ), o MC monitora o resultado da operação e informa se  $A=B$ , se  $A<B$  ou se  $A>B$ .

Para o caso em que são iguais, o resultado da operação de subtração será **0000 0000b**, o que ativará a saída da porta *AND*, com oito entradas negadas, vide Fig. 2, informando que  $A=B$  através do resultado **0000 0001b** na porta  $S$ . Já no caso em que o operando  $A$  é maior do que  $B$ , o resultado da subtração será diferente de zero, o que habilitará a primeira condição para o teste de  $A>B$  e, sendo um resultado positivo, ou seja  $C_8=0$ , habilitando a segunda condição para o teste  $A>B$ , o resultado **0000 0010b** é apresentado na porta  $S$ .

Por último, quando  $A<B$ , o resultado da subtração de  $A$  e  $B$  é negativo ( $C_8=1$ ), o que gera o valor de saída  $S$  igual a **0000 0100b**.

#### C. Módulo Unidade Lógica

A unidade lógica (UL) proposta realiza funções lógicas sobre os operandos  $A$  e  $B$ , bit-a-bit, conforme a configuração do sinal de controle ( $C$ ), ou seja, o sinal de controle determina que função lógica será realizada.

A tabela 2 ilustra os sinais de controle da UL a partir do sinal de controle na porta  $C$ , onde configuramos a unidade para realizar a função lógica *OR* ou *AND*.

TABLE II. BIT DE SELEÇÃO DE OPERAÇÃO DA UL.

Código (C)	Operação (função)
0	$S=A+B$ ( <i>OR</i> )
1	$S=AB$ ( <i>AND</i> )

### III. CONCLUSÕES

A utilização desta metodologia mostrou-se eficiente didaticamente, uma vez que envolveu os alunos durante

todo processo de criação *Botton-up*, ou seja, os alunos estudam desde a composição de um inversor ao nível esquemático, até a integração dos módulos para se obter a ULA como um todo. Este processo desenvolveu nos alunos a habilidade de modelar mapas mentais do funcionamento de uma ULA e como esse é o módulo central de qualquer microprocessador, tornou-os aptos a entender o funcionamento de qualquer arquitetura computacional, evidenciado em uma melhora considerável em seus aproveitamentos.

No que diz respeito às transformações em nível social, percebeu-se o engendramento de uma possibilidade de criação de *interstícios pedagógicos*, potencialmente capazes de superar as abordagens didáticas comumente utilizadas na área tecnológica. Ao se propiciar um caminho alternativo no ensino da Arquitetura de Computadores na presente pesquisa, abriram-se espaços de reflexão sobre a indissolubilidade dos paradigmas vigentes dentro do ensino das ciências exatas, especificamente nas áreas de Ciência da Computação e Engenharia. Anui-se que o fato de, tradicionalmente, a área de ciências exatas estarem hierarquicamente distante das humanas, tem gerado conflitos avaliativos que exercem influência direta no mercado de trabalho e na sociedade como um todo. Tomando como exemplo o levantamento da SEMESP em 2012 [20], onde o número de estudantes ingressantes nas turmas de engenharia em comparação com o número de estudantes que se formam, percebe-se que no percurso acadêmico dessas graduações, recorrências não muito favoráveis aos estudantes compõem o espectro profissional desta área. E, a partir dessa dimensão analítica, pode-se inferir que a influência não se limita ao mercado de trabalho, ao contrário, conforme já se disse, estende-se por todos os setores da sociedade.

#### REFERENCES

- [1] J. Djordjevic, B. Nikolic, and A. Milenkovic. "Flexible Web-Based Educational System for Teaching Computer Architecture and Organization". IEEE Transaction On Education, Vol. 48, No. 2, pp. 264-274. May 2005.
- [2] A. M. De Oliveira, H. D. O. Ascama, and S. T. Kofuji. "Unidade Lógico-Aritmética com Arquitetura Risc de 8bits Projetada na Tecnologia CMOS 350nm para Aplicações na Educação na Engenharia e na Ciência da Computação". Journal of the Federal Institute of São Paulo (SINERGIA), Vol. 14, No. 1, pp. 28-38. apr 2013.
- [3] E. Fregni, A. M. Saraiva. "Engenharia do projeto logico digital: conceitos e pratica. São Paulo: E. Blucher. 1995.
- [4] R. J. Tocci, N. S. Widmer, and G. L. Moss. Sistemas digitais: princípios e aplicações. 10. ed. São Paulo: Prentice Hall, 2007.
- [5] M. Suzuki, et al. "A 1.5ns 32b CMOS ALU in Double Pass-Transistor Logic". IEEE International Solid-State Circuits Conference, Session 5, p. 90-91, 1993.
- [6] D. A. Patterson, J. L. Hennessy. "Computer organization and design: the hardware/software interface". 3. ed. Boston: Morgan Kaufmann Publishers, 2005.
- [7] G. G. Langdon, E. Fregni. Projeto de computadores digitais. São Paulo: E. Blucher, 1987.
- [8] D. Patti, et al. "Supporting Undergraduate Computer Architecture Students Using a Visual MIPS64 CPU Simulator". IEEE Transaction on Education. Vol. 55, n. 3, pp. 406-411, May 2012.
- [9] Y. Linn. "An Ultra Low Cost Wireless Communications Laboratory for Education and Research". IEEE Transaction on Education. Vol. 55, n. 2, pp. 169-179, May 2012.
- [10] M. Da G. N. Mizukami. "Ensino: as abordagens do processo". São Paulo: EPU, 1986.
- [11] S. Hall. "A Centralidade da Cultura: notas sobre as revoluções culturais de nosso tempo". *Educação & Realidade*, Porto Alegre, v. 22, n. 2, p. 15-46, jul./dez. 1997.
- [12] P. Freire. Pedagogia do Oprimido. 9 ed. Rio de Janeiro: Editora Paz e Terra, 1981.
- [13] J. L. Güntzel. "Projeto de um unidade lógico-aritmética (ULA)". Universidade Federal de Pelotas. Pelotas, 2003.
- [14] C. Srinivasan. Arithmetic Logic Unit (ALU) design using reconfigurable CMOS logic. 2003. Dissertação (Mestrado de Ciências em Engenharia Elétrica). Louisiana State University and Agricultural and Mechanical College, Louisiana, 2003.
- [15] D. RADHAKRISHNAN, "Design of CMOS circuits". IEE Proceedings-G. UK: Stevenage. Vol. 138, n. 1, p. 83-90, fev. 1991.
- [16] D. RADHAKRISHNAN, "Switching activity in CMOS pass networks". IEE Electronics Letters Online, UK: Stevenage. Vol. 35, n. 24, p. 2115-2116, nov. 1999.
- [17] D. RADHAKRISHNAN, S. R. WHITAKER, G. K. MAKI. "Formal Design Procedures for Pass Transistor Switching Circuits". IEEE Journal of Solid-State Circuits. Vol. SC-20, n. 2, p. 531-536, apr. 1985.
- [18] P. KUDVA, et al. "Synthesis of Hazard-free Customized CMOS Complex-Gate Networks Under Multiple-Input Changes". IB T.J. Watson Research Center. 1996.
- [19] J. A. Abraham. "Implementing Logic in CMOS". Notas de aula. Departament of Electrical and Computer Engineering at The University of Texas, Austin, set. 2010.
- [20] Sindicato das Entidades Mantenedoras de Estabelecimentos de Ensino Superior no Estado de São Paulo. "Mapa do Ensino Superior no Estado de São Paulo", 2012.